

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-029522

(43)Date of publication of application : 04.02.1994

(51)Int.Cl.

H01L 29/784

(21)Application number : 04-183448

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.07.1992

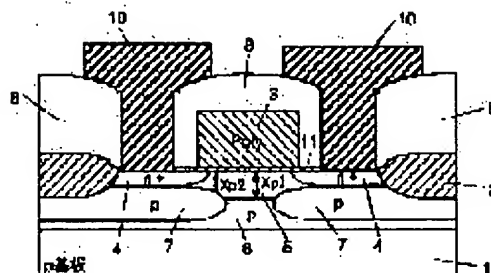
(72)Inventor : MIYAMOTO MASABUMI
NAGAI AKIRA
ISHII TATSUYA
SEKI KOICHI

(54) MIS SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a MIS semiconductor device wherein it restrains that a threshold voltage is lowered due to a short channel, it reduces an irregularity in the threshold voltage due to an irregularity in the working operation of a gate and its mobility is high.

CONSTITUTION: The surface 5 of a semiconductor substrate in a channel region is set at a low concentration; buried regions 6, 7 whose concentration is higher than the concentration on the surface are formed inside shallower than the depth of a depletion layer spread from the surface of the substrate when an inversion layer is formed. The concentration of the region 7 at a certain distance L_p to the channel region from the end of a channel out of the high-concentration buried regions is set higher than the high-concentration region in the region 6 in the central part of the channel. Thereby, a drop in a threshold value due to a short channel length is offset nearly by a rise in the threshold value due to an increase in the rate of the high-concentration buried region 7 at a certain distance L_p . Since the surface 5 of the substrate where the channel is formed is set low in concentration, the high mobility of this device can be achieved.



LEGAL STATUS

[Date of request for examination] 09.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3435173

[Date of registration] 30.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-29522

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl.⁵

H01L 29/784

識別記号

庁内整理番号

FI

技術表示箇所

7377-4M

H01L 29/78

301 H

7377-4M

301 X

審査請求 未請求 請求項の数17(全 13 頁)

(21)出願番号 特願平4-183448

(22)出願日 平成4年(1992)7月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 宮本 正文

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 永井 亮

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 石井 達也

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 M I S型半導体装置

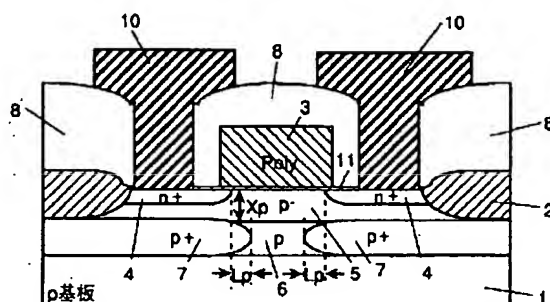
(57)【要約】

【目的】短チャネル時のしきい値の低下を抑え、ゲート加工のばらつきによるしきい値のばらつきを低減し、高い移動度を持つM I S型半導体装置を提供すること。

【構成】チャネル領域の半導体基板表面5を低濃度にし、内部に表面濃度よりも高濃度な埋込領域6、7を反転層形成時に基板表面から広がる空乏層の深さよりも浅く設ける。高濃度埋込領域のうちチャネルの端からチャネル領域へ一定距離 L_p の領域7の濃度をチャネル中央部の領域6の高濃度領域よりも高くする。

【効果】チャネル長が短くなることによるしきい値の低下は、一定距離 L_p の高濃度埋込領域7の割合が大きくなることによるしきい値の上昇によりほぼ相殺される。チャネルが形成される基板表面5は低濃度であるので、高移動度を達成することができる。

図1



【特許請求の範囲】

【請求項1】チャンネル領域である半導体基板の低不純物濃度の表面領域と、該表面領域下部の前記半導体基板の内部に設けられ前記表面領域より高不純物濃度である高不純物濃度領域とを具備したMIS型半導体装置において、

前記高不純物濃度領域は前記チャンネル領域の中央部直下の中央部高不純物濃度領域と前記チャンネル領域の端部の両側あるいは片側の直下の端部高不純物濃度領域とから構成され、

該中央部高不純物濃度領域の不純物濃度より該端部高不純物濃度領域の不純物濃度が高く設定されてなることを特徴とするMIS型半導体装置。

【請求項2】前記端部高不純物濃度領域は前記中央部高不純物濃度領域より浅く形成されてなることを特徴とする請求項1に記載のMIS型半導体装置。

【請求項3】前記端部高不純物濃度領域と前記中央部高不純物濃度領域とのそれぞれは前記半導体基板の表面から内部に向かってより高不純物濃度となる濃度分布を有してなり、

前記端部高不純物濃度領域の不純物濃度分布の傾斜は前記中央部高不純物濃度領域の不純物濃度分布の傾斜より大きいことを特徴とする請求項1に記載のMIS型半導体装置。

【請求項4】前記端部高不純物濃度領域は、前記チャンネル領域にMIS反転層が形成される時に、半導体のバンドポテンシャルが変化する深さに形成されてなることを特徴とする請求項1から請求項3までのいずれかに記載のMIS型半導体装置。

【請求項5】前記端部高不純物濃度領域は前記チャンネル領域の前記端部から一定の距離で前記中央部高不純物濃度領域に向かって形成され、

該一定の距離は前記チャンネル領域の設計最小チャンネル長の $1/2$ 未満に設定されたことを特徴とする請求項1から請求項3までのいずれかに記載のMIS型半導体装置。

【請求項6】前記低不純物濃度の前記表面領域は真性半導体のエピタキシャル成長により形成されてなることを特徴とする請求項1に記載のMIS型半導体装置。

【請求項7】前記低不純物濃度の前記表面領域は前記半導体基板の内部よりも高移動度の材料により形成されてなることを特徴とする請求項1に記載のMIS型半導体装置。

【請求項8】MISトランジスタのソース側である前記チャンネル領域の端部直下に前記端部高不純物濃度領域が形成されてなることを特徴とする請求項1に記載のMIS型半導体装置。

【請求項9】前記端部高不純物濃度領域と前記中央部高不純物濃度領域との下部には絶縁層が形成されてなることを特徴とする請求項1に記載のMIS型半導体装置。

【請求項10】MISトランジスタのゲート電極を形成する前のイオン打込みにより前記中央部高不純物濃度領域が形成され、該ゲート電極を形成した後のイオン打込みにより前記端部高不純物濃度領域が形成されてなることを特徴とする請求項1から請求項3までのいずれかに記載のMIS型半導体装置。

【請求項11】MISトランジスタのゲート電極の側壁にイオン打込みマスクを形成した状態での半導体基板表面への斜めのイオン打込みにより前記端部高不純物濃度領域が形成されてなることを特徴とする請求項1から請求項3までのいずれかに記載のMIS型半導体装置。

【請求項12】MISトランジスタのゲート電極を必要とするゲート長よりも短いゲート長に加工した状態での半導体基板表面へのほぼ垂直のイオン打込みにより前記端部高不純物濃度領域が形成され、その後、上記ゲート電極の側壁に上記ゲート電極と同一材料を形成することによって上記必要とするゲート長を有するゲート電極が形成されてなることを特徴とする請求項1から請求項3までのいずれかに記載のMIS型半導体装置。

【請求項13】前記端部高不純物濃度領域は素子分離絶縁膜から隔離して形成されてなることを特徴とする請求項1から請求項3までのいずれかに記載のMIS型半導体装置。

【請求項14】前記素子分離絶縁膜直下にはチャンネルストップが形成されてなることを特徴とする請求項13に記載のMIS型半導体装置。

【請求項15】請求項第1項から14項までのいずれかに記載のMIS型半導体装置をチップ上に具備してなり、電池で動作することを特徴とする半導体集積回路。

【請求項16】請求項第1項から14項までのいずれかに記載のMIS型半導体装置を2個、差動トランジスタとしてチップ上に具備したことを特徴とする半導体集積回路。

【請求項17】200K以下の低温で動作させることを特徴とする請求項1から請求項3までのいずれかに記載のMIS型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はMIS型半導体装置に係り、特にチャンネル長によるしきい値変動を抑えることにより低電圧動作に適合したMIS型半導体装置に関する。

【0002】

【従来の技術】MOSTランジスタに代表されるMIS型半導体装置は、微細加工技術の進歩とともにゲート長が短くなり、「短チャンネル効果」と呼ばれる短チャンネル特有の問題が生じている。その一つとしてチャンネル長が短くなるにつれてしきい値が低下する問題がある。このしきい値の低下はチャンネル長が短くなるほど変化率が大きくなり、ゲート加工寸法のバラツキによるランジ

スタのしきい値のバラツキも大きくなる。半導体集積回路の低電圧動作ではしきい値が回路特性に大きく影響するため、しきい値のばらつきが大きな問題となっている。短チャネル効果の原因はドレイン、ソースの電界によりチャネル領域内に広がる空乏層の影響によりゲート電界で制御できるチャネル領域の割合が減少するためである。この現象がさらに大きくなるとドレイン、ソースの空乏層同士がつながり、ゲート電圧を印加しなくとも電流が流れてしまうパンチスルーの問題が起る。これらの問題点を低減させるため、単純なスケーリング則では基板濃度を上昇させてソース、ドレインの空乏層の広がりを抑える方法を取る。基板濃度の上昇に従ってしきい値が上昇するのでしきい値を従来の値に保つためにはゲート絶縁膜も同時に薄膜化する必要がある。従って、絶縁耐圧からゲート絶縁膜の薄膜化に限度があるサブミクロン領域のトランジスタでは単純なスケーリング則の適用はできなくなっている。また、チャネル領域の基板濃度の上昇によりキャリアの不純物散乱が増加し、移動度が低下する問題が生じている。

【0003】従来のMIS型半導体装置のうち短チャネル時のしきい値バラツキの低減対策を行なった例として、1990年のIEDM Tech. Digest, pp.391-394 に記載されたY.Okamura等の文献 "A Novel Source-to-Drain Nonuniformly Doped Channel (NUDC) MOSFET for High Current Drivability and Threshold Voltage Controllability",がある。この従来例1の構造は図5に示すように、チャネル端の基板表面領域12の濃度をチャネル中央の基板表面1の濃度よりも高くするもので、チャネル中央部a-a'とチャネル端b-b'の基板濃度分布は図7に示すようになっている。この構造ではチャネル両端から一定距離の領域12のしきい値が中央部1よりも高くなるので、チャネル全領域の平均で決まる実効的なしきい値は短チャネルになるに従って高くなる特性となる。この特性と短チャネル効果によるしきい値の低下とを相殺させることにより、しきい値をチャネル長の減少に対してほぼ一定に保つことができる。また、この構造ではソース、ドレインと接する領域12の濃度が高く、空乏層の広がりを抑えることができるのでパンチスルーに対しても効果がある。この図5の従来例1の高濃度領域12を形成する方法は、図11に示すようにゲート電極3を形成後にゲート電極3をマスクとした基板と同一導電型のP型の不純物の斜めイオン打ち込みにより自己整合的に形成するものである。ゲート電極側面からイオン注入されたイオンが基板表面まで届き、チャネル端から一定距離部分の表面濃度を上げることができる。

【0004】次に単純なスケーリング則ではゲート加工寸法に反比例して増加する基板濃度により不純物散乱が増加し移動度が低下する問題を対策した例としては、特開昭61-32462号あるいは1990年のIEDM Tech.

Digest, pp.939-941に記載されたM.Aoki等の文献 "0.1 μ m CMOS Devices Using Low-Impurity-channel Transistors(LICT)"に記載されたものがある。この従来例2の構造は図6に示すようにMOS反転層が形成される基板表面5の濃度を低くして不純物散乱を抑えて高移動度を得るとともに、基板内部には高濃度の領域1を設けてパンチスルーを抑えようとするものである。

【0005】

【発明が解決しようとする課題】前述した従来例1では短チャネル時のしきい値の低下を抑えることができるが、チャネル領域の基板表面に高濃度の領域を設けるので移動度が低下する問題に対し十分な配慮がなされてなかった。特にチャネル長が短い場合には全チャネル領域のうちほとんどが高濃度になり、従来の単純スケーリングにより基板濃度を上げた素子と変わらなくなり、移動度は大きく低下する。移動度の低下は、ドレイン電流の減少となり、回路動作速度の低下をもたらす。また、従来の斜めイオン打ち込みによる形成方法を用いるとチャネル領域の基板表面にもイオン打ち込みされるため、基板表面を低濃度に保つ構造を形成できない問題がある。

【0006】一方、従来例2では移動度の上昇とパンチスルーを抑えることに注目しているものの、短チャネル効果によるしきい値の低下に対して十分な配慮がされていなかった。

【0007】従って本発明の目的とするところは、短チャネル効果によるしきい値の低下を抑えてゲート加工のバラツキによるしきい値のバラツキを低減すると同時に、高い移動度を持つMIS型半導体装置を提供することにある。本発明の他の目的とするところは、低電圧動作に適した半導体集積回路を提供することにある。

【0008】

【課題を解決するための手段】上記の目的は、本発明の基本的な実施例は図1に示すように、チャネル領域ほぼ全体の半導体表面5を低不純物濃度にするとともに基板内部に高不純物濃度領域6、7を設け、基板内部の高濃度領域6、7のうちチャネル端からチャネル長によらない一定距離 L_p の領域7をチャネル中央部の高濃度領域6よりも高濃度にするにより達成できる。また高濃度領域7の半導体表面からの深さ X_p はしきい値を制御できる深さに設置する必要があるため、MOS反転層形成時にバンドのポテンシャルが変化する領域内の深さとする。距離 L_p は設計最小チャネル長でも高濃度領域7同士が接触しないようにチャネル長の1/2未満とする必要がある。

【0009】また、本発明の第2の実施例は図2に示すように、基板内部の高濃度領域6、7のうちチャネル端からチャネル長によらない一定距離 L_p の領域7をチャネル中央部の高濃度領域6よりも浅くすることによっても同等の効果を得ることができる。

【0010】さらに、本発明の第3の実施例は図3に示

すように、チャンネル領域のほぼ全体を半導体表面から基板内部になるに従って不純物濃度を上げる傾斜型基板濃度分布とし、チャンネル端両側あるいは片側の一定距離部分の基板濃度分布の傾斜をチャンネル中央部よりも大きくするによっても達成できる。

【0011】この図3のような濃度分布の形成には、図12a乃至dの製造プロセスに示すように、ゲート電極3を形成する前に深いイオン打ち込みにより高濃度埋込層6を形成し、ゲート電極3を形成後に図12cに示すようにゲート電極3の側面にイオン打ち込みの飛程距離がゲート電極よりも短い材料により側壁26を形成して斜めイオン打ち込みを行い、ゲート電極側面からのイオン注入を遮断して高濃度埋込層7を形成することにより可能となる。

【0012】

【作用】MISトランジスタのしきい値を決定する要素にはゲート材料と半導体との間の仕事関数差、絶縁膜の厚さ、半導体基板の不純物濃度がある。半導体の不純物濃度に関してより厳密に述べれば、MIS反転層形成時にバンドのポテンシャルが変化する領域に含まれる不純物濃度によりしきい値が決定される。本発明の基本的実施例は図1のようにチャンネル領域の濃度が半導体基板表面5と基板内部の高濃度領域6あるいは7の2層で形成され、高濃度領域6、7の深さ X_p が反転層形成時にバンドのポテンシャルが変化する深さよりも浅ければ、しきい値はこの両領域5、6あるいは7の濃度で決定される。従って、本発明の構造ではチャンネル端の高濃度領域7をチャンネル中央の高濃度領域6よりも高濃度にすれば、チャンネル端のしきい値はチャンネル中央よりも高くすることができる。

【0013】また、本発明の第2の実施例は図2に示すように、チャンネル端の高濃度領域7をチャンネル中央部の高濃度領域6よりも浅くすることによっても、反転層形成時のバンドポテンシャルが変化する深さ内での高濃度領域の割合が増加するため、チャンネル端のしきい値を高くすることができる。

【0014】さらに本発明の第3の実施例は図3のようにチャンネル領域の基板不純物濃度が半導体基板表面から基板内部にかけて増加する傾斜型の濃度分布では、しきい値は表面濃度と傾きにより決定される。濃度分布が基板内部になるに従って指数関数で増加すると仮定して、表面濃度を $10^{17}/\text{cm}^2$ 、酸化膜厚6nmの場合の指数関数の係数(傾き) α によるしきい値の変化を図4に示す。この図4から分かるように、基板表面濃度は同じでもチャンネル端の濃度分布の傾きを大きくすれば、チャンネル端のしきい値をチャンネル中央よりも高くすることができる。

【0015】以上のような構造では高濃度領域7がチャンネル領域へ延びている距離 L_p はチャンネル長によらず一定なので、チャンネル長が短くなるにつれて高しきい値の

チャンネル領域の割合が多くなり、MISトランジスタ全体の実効的なしきい値が次第に高くなる特性を持たせることができる。この効果と短チャンネル効果によるしきい値の低下が相殺するように設計すれば、しきい値はチャンネル長によらずほぼ一定になり、ゲート加工寸法がばらついてもしきい値はほぼ一定にすることができる。なおかつチャンネル領域の半導体表面領域5はチャンネル全体にわたって低濃度になっているため不純物によるキャリアの散乱が少なく、キャリア移動度を高くすることができる。

【0016】構造上の条件としては、高濃度領域7同士がチャンネル中央で接触して低しきい値の領域が消滅して、全チャンネル領域が高しきい値の領域で均一化されてはならない。高濃度領域7が接触するチャンネル長より短チャンネルの領域での構造は従来例2と同様になるためしきい値はチャンネル長が短くなるにつれて低下していく。従って、チャンネル領域への侵入距離 L_p は設計最小チャンネル長の $1/2$ 未満とする必要がある。

【0017】形成方法は図12の製造プロセスに示すようにゲート電極形成前のイオン打ち込みによりチャンネル領域全体に基板内部の高濃度領域6を設け、ゲート電極を形成した後にゲートをマスクとしたイオン打ち込みにより高濃度領域7を形成する。この方法によれば、ゲートからゲート長によらず一定の侵入距離で高濃度領域7を自己整合的に形成することができる。チャンネル端の表面を高濃度にしないためには、ゲート電極3を加工した後、ゲート材料3よりもイオン打ち込みの飛程距離が短い材料26を用いてゲート電極3の側面に側壁26を形成し、その後高濃度領域7を形成するための斜めイオン打ち込みを行う。ゲート電極側面に設けた側壁26によりゲート電極側面からのイオン注入を防いでチャンネル表面を低濃度に保つと同時に、基板内部では高濃度領域6と重なって高濃度層7を形成し、チャンネル端のしきい値を高くすることができる。

【0018】

【実施例】以下、本発明の実施例を図面を用いて説明する。実施例では主にn型MOSトランジスタを例に説明するが、p型MOSトランジスタでも動作原理は同じである。また、絶縁膜にシリコン酸化膜以外の材料を用いたMISトランジスタにおいても動作原理は同じである。

【0019】本発明の第1の実施例を図1に示す。半導体基板1表面の素子分離用酸化膜2で囲われた領域内にMOSトランジスタが形成される。p型半導体基板1の濃度は $1 \times 10^{16}/\text{cm}^3$ であり、チャンネル中央のp型高濃度領域6はゲート電極3を形成する前にボロンの 120keV のイオン打ち込みで形成して、濃度は $1 \times 10^{18}/\text{cm}^3$ とした。高濃度領域6の深さ X_p は $0.05\mu\text{m}$ 程度となる。ゲート酸化膜11を形成後、ゲート材料のポリシリコンを堆積し、リンをドーブした後、ゲ

ートをドライエッチにより形成する。その後チャンネル端のp型高濃度領域7を形成するためゲートをマスクとして再度ボロンの12.0keVのイオン打ち込みを行ない、濃度を $4 \times 10^{18} / \text{cm}^3$ とする。高濃度領域6および7を形成するイオン打ち込み時に、素子分離用酸化膜2の下も含む半導体表面全面に高濃度層が形成されるので、低電圧で使用する場合などには、素子分離領域下のチャンネルストッパを省略することができる。その後、ソース、ドレイン4形成用のイオン打ち込みを行ない、850℃10分のアニールをして拡散させる。この時、高濃度領域7もチャンネル領域に拡散してチャンネル端から一定の距離 L_p (約0.05 μm)だけ、チャンネル領域に侵入する。

【0020】表面の低濃度層5は基板表面に基板内部とは反対導電型の不純物をイオン打ち込みして形成しても良い。表面低濃度層5を導電不純物を含まないシリコンをエピタキシャル成長により形成すると表面をさらに低濃度にすることが可能になり、不純物散乱も大きく低減できるので、移動度をより上昇させることができる。また、表面低濃度層5をシリコンよりも移動度の高いシリコンゲルマニウムなどを用いればさらに高移動度化が可能になる。

【0021】本実施例によれば、チャンネル端から一定距離 L_p 入り込んだ高濃度層7により、チャンネル長が短くなるほど実効的なしきい値が上昇する特性となるため、短チャンネル効果によるしきい値の低下と相殺して、チャンネル長に対しほぼ一定のしきい値特性を得ることができる。

【0022】しきい値のチャンネル長依存性における本実施例の効果を図8に示した。この図8に示すように、通常構造では短チャンネル時にしきい値が急激に低下するのに対して、本発明および従来例1ではチャンネル長0.1 μm で0.1V以下のしきい値の低下に抑えている。また、基板内部に埋め込まれた高濃度層6と7によりパンチスルーを十分抑える効果がある。従来例2では基板内部の高濃度層によりソース、ドレインの空乏層の広がりを抑えるため、通常構造よりは改善されるがその効果は十分でない。高濃度埋込層7の二次的な効果としては、電界が半導体基板内部で強くなり、ホットキャリアがゲート酸化膜から離れて発生するため、ゲート酸化膜の劣化が低減される点がある。

【0023】次にMOS反転層のキャリア移動度における本実施例の効果を図9に示す。本実施例ではMOS反転層が形成される半導体表面5が低濃度なので、不純物散乱が少なく、また、絶縁膜11との界面における表面電界が低減するため、移動度を上昇させることができる。本実施例および従来例2では表面の低濃度領域5により、通常構造よりも移動度を2割程度上昇させることができる。一方、従来例1では半導体表面に高濃度領域12が入るので移動度は通常構造とほとんど変わら

ない(チャンネル長0.3 μm 時)。液体窒素温度などの低温では熱エネルギーによる格子散乱が減少するため、不純物散乱によって移動度が決定されている割合が大きく、本実施例により移動度は通常構造の2倍程度になる。従って、本実施例では短チャンネルにおけるしきい値の低下を抑え、ゲート加工寸法のばらつきによるしきい値のばらつきを大きく低減できると同時に、移動度も室温で約2割、液体窒素温度で約2倍に増加させることができる。

【0024】チャンネル端からチャンネル領域に侵入する距離 L_p は設計最小チャンネル長において高濃度領域7が接触しないように設ける必要がある。 L_p が0.05 μm と0.15 μm でのしきい値のチャンネル長依存性を図10に示す。 L_p が0.15 μm の場合には、高濃度領域7がチャンネル中央で接触するチャンネル長0.3 μm 以降で急激にしきい値が低下している。これはチャンネル長0.3 μm 以降では従来例2の構造と同じになり、チャンネル長が短くなるに従ってしきい値が上昇する特性が得られないためである。ただし、 L_p が短い場合には高濃度領域7の濃度を高くしないとしきい値を十分に補償する特性が得られないので、実際には表面5と高濃度領域7でどの程度の濃度差が得られるかによって設計を変更する必要がある。

【0025】基板内部の高濃度領域のうちチャンネル端からチャンネル領域へ一定距離 L_p の領域をチャンネル中央部よりも浅くすることによっても実施例1と同等の効果が得られる。この原理を用いた本発明の第2の実施例を図2に示す。基本的な構造および製造プロセスは実施例1とほぼ同じであるが、高濃度領域7形成用のイオン打ち込みのエネルギーを80keVに低下させて深さ X_{p2} を高濃度領域6の深さ X_{p1} よりも浅くしている。また、濃度はチャンネル中央部と同じ $1 \times 10^{18} / \text{cm}^3$ にしてある。高濃度領域7の深さ X_{p2} を浅くすることにより、この領域では反転層形成時に半導体表面から広がる空乏層のうち高濃度領域7が含まれる体積が増加する。これによりチャンネルの両端では平均の基板濃度が上昇することになり、しきい値が増加する。従って実施例1と同じ原理によりしきい値ばらつきの低減、移動度の上昇、パンチスルーの抑制の効果を得ることができる。

【0026】つぎに、傾斜型の基板濃度分布を持った本発明第3の実施例を図3に示す。チャンネル中央部 $a-a'$ とチャンネル端部 $b-b'$ の基板濃度分布は図3bに示すようにイオン打ち込みの裾を用いてほぼ指数関数的な傾斜型濃度分布になっている。チャンネル端 $b-b'$ では表面濃度はチャンネル中央と同じであるが、その傾きはチャンネル中央部よりも大きいのが特徴である。この傾きの差により、しきい値はチャンネルの両端で高くなっている。また、傾きの差がしきい値に影響するのはMIS反転層形成時にバンドのポテンシャルが変化する領域であるので、少なくともこの領域内では傾きの差を保つよう

にする。表面濃度 $1.0 \times 10^{17} / \text{cm}^3$ 、ゲート酸化膜厚 6 nm の場合の指数関数の係数 (傾き) α によるしきい値の変化を図4に示す。本実施例では、チャンネル中央部の傾き α は $2.1 \times 10^5 / \text{cm}$ でしきい値は 0.3 V 、チャンネル端では $2.7 \times 10^5 / \text{cm}$ でしきい値は 0.35 V としてある。これにより、第1の実施例と同じ原理により短チャンネルになってもしきい値が低下しない理想的な特性を得ることができる。また、チャンネルの両端を含めてチャンネル全領域の基板表面を低濃度にできるので、キャリア移動度も同様に増加させることができる。

【0027】つぎに本発明形成方法の第1の実施例を図12に示す。まず通常のMISトランジスタの製造方法に従って素子分離領域2を形成後、高濃度領域6を形成するためボロンの深いイオン打ち込み (打ち込みエネルギー 80 keV) を行いその裾を用いて指数関数的な傾斜濃度分布にする。その後ゲート酸化膜を形成し、ポリシリコン3を堆積して必要なゲート長に加工する (図12a)。次にタングステン26をゲート電極3を完全に覆うように全面に堆積する (図12b)。次に方向性ドライエッチによりゲート電極3の側面にタングステンの側壁26を形成し、ゲートの横方向に 40° 傾けたボロンの斜めイオン打ち込み (打ち込みエネルギー 80 keV) をおこなって、高濃度埋込層7を形成する (図12c)。タングステンのボロンイオンに対する飛程距離はシリコンの $1/2$ 以下であるので、ポリシリコンのゲート電極の側面へのイオン注入を遮断して、チャンネル領域の基板表面にはイオンが打ち込まれないようにすることができる。また、基板内部では高濃度領域6と重なって傾きの大きい傾斜型濃度分布を形成することができる。チャンネルの片側のみに高濃度領域7を形成する場合は、斜めイオン打ち込みをする際にゲート電極の片側をレジストで覆えばよい。次ぎにタングステンの側壁26をウェットエッチにより取り除いた後、砒素のイオン打ち込みによりソース、ドレイン領域4を形成して、その後は通常のMISトランジスタの工程に戻って配線工程を通して完成する。本実施例によれば斜めイオン打ち込みを用いて、チャンネル端の基板表面の濃度は上げずに基板内部にのみ高濃度領域7を形成することができる。本実施例ではサイドウォールにタングステンを用いたが、ゲート電極そのものにタングステン等の金属を使用することもできる。

【0028】次に本発明の形成方法における第2の実施例を図13を用いて説明する。まず形成方法の第1の実施例と同様に、ポリシリコンゲート3を加工する。ただしこの場合のゲート長は必要とするゲート長からチャンネル両端の高しきい値領域の長さを引いた値としてある。この状態でボロンの垂直イオン打ち込みを行ない高濃度埋込層領域7を形成する (図13a)。次ぎにポリシリコン25をゲート電極3を完全に覆うように全面に堆積する (図13b)。その後ドライエッチによりゲート電極の側面に側壁25を形成する。この工程により、ゲ

ート長は側壁を含む長さとなり、高濃度埋込層7はゲート電極3とオーバーラップして、チャンネル両端のしきい値を高くすることができる。次ぎに砒素のイオン打ち込みによりソース、ドレイン領域4を形成して、その後は通常のMISトランジスタの工程に戻って配線工程を通して完成する。本実施例によれば垂直なイオン打ち込みでも長時間の横方向熱拡散を用いずにチャンネルの両端の基板内部にのみ高濃度領域7を形成することができるので、ソース、ドレインの接合を浅く保ったまま本構造を形成することができる。

【0029】次に、本発明の構造を形成するCMOS製造プロセスを図14に示す。まず図14aに示すように通常のCMOS工程と同様に素子分離領域2を形成し、NMOS形成領域にはボロンを 120 keV でイオン打ち込みしてp型高濃度領域6を形成し、PMOS形成領域にはリンを 180 keV でイオン打ち込みしてn型高濃度領域15を形成する。この時、素子分離用酸化膜2の下も含む半導体全面に高濃度層が形成されるので、低電圧で使用する場合などには、NMOS、PMOSを分離するウェルおよびチャンネルストッパを省略することができる。高電圧で使用する場合には素子分離領域2を形成する前にウェル形成用のイオン打ち込みを行ない、素子分離領域を酸化により形成すると同時に熱拡散させてウェルを形成する。また、高濃度の領域6と15が直接接触しないようにマスクを設計する必要がある。次に表面濃度を調整するために、NMOS形成領域にはフッ化ボロンを 50 keV で打ち込み、PMOS形成領域にはリンを 30 keV でイオン打ち込みする。次に図14bに示すようにゲートポリシリコンを堆積してドライエッチにより加工した後、p型高濃度領域7を形成するためのイオン打ち込みを行なう。この時のイオン打ち込み条件はNMOS、PMOSともに高濃度領域6または15を形成するときの条件と同じである。このイオン打ち込みには前述した形成方法による斜めイオン打ち込みを用いれば濃度分布およびチャンネル内侵入距離 L_p を精度よく形成することができる。イオン打ち込みの際にはゲートの厚さに注意する必要がある、ゲートを貫通してイオンが注入される恐れがある場合にはポリシリコンの上に酸化膜等を堆積したのちにゲートを加工し、厚さを増してからイオン打ち込みを行なう必要がある。また、ゲート加工時に用いるレジストを付けたままでイオン打ち込みを行なうことでも対処できる。この後の工程は通常のCMOS製造工程と同じで、図8cに示すようにソース、ドレインをイオン打ち込みで形成し、 850°C 10 分のアニールにより不純物の活性化、結晶欠陥の取り除きや、高濃度領域7および16のチャンネル領域内への侵入距離を調整する。次に図14dに示すように層間絶縁膜8を堆積し、コンタクト用の穴を開けて配線用のアルミ10を堆積、パターニングを行ないCMOS構造が完成する。

【0030】本発明の第1から第3の実施例で高濃度層

6と7がソース、ドレイン4と完全に重なるため接合容量が増加して、動作速度が低下する問題を対策した第4の実施例を図15に示す。製造プロセスは第1の実施例とほとんど同じであるが、高濃度層6および7を形成するイオン打ち込みの際にホトレジストによるマスクを使用し、チャンネル領域のみにイオン打ち込みをしている。これにより、ソース、ドレイン領域の大部分は高濃度領域6、7に接触しないため、接合容量が低減して動作速度の向上をはかることができる。また、収束イオン打ち込み(FIB)を用いればイオンビームを絞ることによりチャンネル領域にのみ高濃度埋込層を形成することができる。これら構造を用いたCMOS構造の場合にはウェル24およびチャンネルストップ18を必ず設ける必要がある。

【0031】次にチャンネル端の片側のみに高濃度埋込層7を設けた本発明の第5の実施例を図16に示す。この実施例ではチャンネル端の高濃度埋込層7をソース側のみに形成してある。本実施例の原理は第1の実施例と同じであり、ドレイン電圧による空乏層の影響がなく、しきい値の制御効果の高いソース側のみに高濃度埋込層7を形成したものである。ゲート長によるしきい値の変動を抑える効果は第1の実施例とほぼ同じであり、ドレイン側では高濃度埋込層7とドレインの接触がなくなるため、ドレイン容量の低減、耐圧の向上の効果がある。

【0032】次にMOSトランジスタの出力抵抗の増加を目指した実施例を図17に示す。アナログアンプでは出力抵抗と相互コンダクタンスの積で増幅率が決定されるため、出力抵抗の増加が重要である。本実施例のソース側の構造は本発明の基本構造と同じであるが、ドレイン側は表面低濃度層のチャンネル端まで高濃度層27を設けてある。これは、電流特性の飽和領域においてドレイン電圧によって表面が空乏層化して実効チャンネル長が短くなる現象(チャンネル長変調)を低減する効果がある。これにより飽和領域においてドレイン電圧によるドレイン電流の変化が低減され、即ち出力抵抗を高くすることができる。

【0033】次に本発明をSOI構造(シリコン・オン・インシュレータ)で実現した実施例を図18に示す。シリコン酸化膜28を高濃度層6および7の下に設けて、パンチスルーを抑える役目をしている。SOI構造の場合、パンチスルーは酸化膜28によって抑えられるので、埋込層6はなくてもよい。本実施例によれば、図1の基本的な実施例よりもさらに短チャンネルまでしきい値を一定に保つことができる。

【0034】ゲートを半導体基板内部に埋込む埋込ゲート型、あるいは縦型MOSトランジスタにおいても本発明を用いることができる。図19は埋込ゲートに本発明を適応した実施例を示す。本構造のチャンネル端では縦方向にもチャンネルが存在するため、高濃度層7の厚みがチャンネル端からの距離 L_p になる。チャンネル表面を低濃度

に保つために高濃度層7はゲート酸化膜からXp離して形成する。ゲート3を形成後、サイドウォール29を形成して、その後イオン打ち込みにより高濃度層7を形成する。サイドウォール29の幅によりXpを制御することができる。

【0035】次に本発明の原理を狭チャンネル効果の低減に応用した実施例の平面図を図20に示す。狭チャンネル効果とはチャンネル幅が狭くなったときに、素子分離領域2下の高濃度チャンネルストップ18(図15参照)の影響によりしきい値が上昇する特性を言う。本実施例の基本構造は第4の実施例(図15)と同じであるが、高濃度領域6のイオン打ち込み用のマスク21と高濃度領域7のイオン打ち込みのマスク20を別に設けている。高濃度領域6はパンチスルーを抑えるため、全チャンネル領域で必要である。高濃度領域7はしきい値の高い領域を形成するためのものであるから、チャンネルストップ18が拡散してしきい値が高くなっていると考えられる素子分離領域から一定の距離 W_p には設けないことが可能である。ゲート幅方向の縮小はゲート長に比例して行なわれるため、狭チャンネル効果がおきている微細加工レベルでは当然短チャンネル効果の強い領域であり、高濃度領域7のチャンネル領域に占める割合が大きく、高濃度層7があると無いではしきい値に大きな差ができる。従って、チャンネルストップ12の影響でしきい値が高くなる部分の高濃度領域7を設けないことにより、この部分のしきい値をゲート幅中央部と同じしきい値とすることが可能になる。しきい値のチャンネル幅依存性における本発明の実施例の効果を図21に示す。通常構造ではチャンネル幅 $3\mu m$ 程度からしきい値の上昇が見られるが、本実施例ではほぼしきい値の変化を抑えることができています。

【0036】本発明の基本構造はLDD構造などのドレインエン지니어リングと併用しても問題は無い。本発明をLDD構造のCMOSに用いた実施例の断面図を図22に示す。基本的製造プロセスは図14と同じであるが、高耐圧化のため、n、p両ウェルを設けてある。また、PMOSの高濃度領域16はNMOSの高濃度領域7と接触しないようにイオン打ち込み時のマスクにより離して設けている。ゲートをマスクとして高濃度領域7、16を形成後低濃度ドレイン領域22および23をイオン打ち込みにより形成する。その後、サイドウォールを形成したのちソース、ドレイン4および17をイオン打ち込みにより形成する。その後の工程は図14と全く同じである。この構造によれば本発明の効果により短チャンネルにおけるしきい値の低下も無く移動度も大きいと同時に、LDD構造により耐圧が高くホットキャリアに強いMOSトランジスタが可能になる。

【0037】本発明のMOSトランジスタは携帯用機器などに用いる低電圧低消費電力動作のアナログ/デジタル混在のLSIに有効である。携帯用機器では電池の消費を抑えるため低電圧動作にしてLSIの消費電力化を

行う。低電圧動作ではMOSトランジスタの駆動電流がしきい値によって大きく変化する。このため本発明トランジスタの特徴であるゲート加工のばらつきによらない一定のしきい値が得られれば回路の特性はばらつきの少ないものになる。図23は携帯用デジタルセルラ端末に用いるアナログ/デジタル混在のベースバンドLSIのブロックダイアグラムを示したものである。本実施例はA/DおよびD/A変換回路とDSP（デジタル・シグナル・プロセッサ）で構成され、電池により1.2Vで動作する。尚、この図23のLSIのCMOSゲート部は図14の製造プロセスで形成されることもでき、図22の素子構造を採用することもできる。このような場合は、A/D変換回路やD/A変換回路ではゲート加工ばらつきによらず、高い精度の変換が可能になり、デジタル回路部分ではゲート遅延のばらつきを低減することができる。一方、A/D変換回路では変換精度を決める最も重要な部分は入力の差動アンプである。入力の2つの差動トランジスタ間のしきい値にずれがあるとオフセット電圧として出力に現われ、そのばらつきがデジタル出力のばらつきとなる。本発明の構造のトランジスタを用いた差動アンプの回路を図21に示す。本発明の効果により出力のオフセット電圧のばらつきが減少し、低電圧においても高精度なA/D変換回路が可能になる。

【0038】

【発明の効果】以上に説明したように、本発明によれば短チャネルにおけるしきい値の低下を補償してゲート加工寸法のばらつきによるしきい値のばらつきを抑え、なおかつ半導体表面濃度を低くして高いキャリア移動度を実現するMIS型半導体装置を可能にする。これにより低電圧でも特性ばらつきが少なく、高速動作が可能な半導体集積回路が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の断面図である。

【図2】本発明の第2の実施例の断面図である。

【図3】本発明の第3の実施例の断面図および基板濃度分布である。

【図4】図3の基板濃度分布の傾き（指数関数の係数） α によるしきい値の変化を示す図である。

【図5】チャネル端の半導体表面濃度を高濃度にしてしきい値のチャネル依存性を補償した第1の従来例の断面図である。

【図6】チャネル領域の半導体表面濃度を低くして高移動度化を目指した第2の従来例の断面図である。

【図7】従来例1の基板濃度分布を示す図である。

【図8】しきい値のチャネル長依存性における本発明の第1の実施例の効果を示した図である。

【図9】MOS反転層キャリア移動度における本発明の第1の実施例の効果を示した図である。

【図10】本発明により高濃度領域7のチャネル領域内

に侵入した距離 L_p によるしきい値のチャネル長依存性の変化である図である。

【図11】従来例1の形成方法である。

【図12】本発明の実施例による製造方法を示す工程図である。

【図13】本発明の他の実施例による製造方法を示す工程図である。

【図14】本発明の実施例によるCMOS構造の製造工程を示した図である。

【図15】高濃度領域6および7をチャネル領域のみに限定した本発明の第4の実施例を示す断面図である。

【図16】ソース側のチャネル端にのみ高濃度領域7を設けた本発明の第5の実施例を示す断面図である。

【図17】ドレイン側の高濃度層27を表面低濃度層5の領域内にも広げて、出力抵抗の増加を目指した本発明の他の実施例を示す断面図である。

【図18】SOI基板上にトランジスタを形成した本発明の他の実施例の断面図である。

【図19】埋込ゲート型に適用した本発明の実施例の断面図である。

【図20】高濃度領域7を素子分離領域2から一定の距離 W_p 離して狭チャネル効果を対策した本発明第6の実施例の平面レイアウト図である。

【図21】しきい値のチャネル幅依存性における本発明の第6の実施例の効果を示した図である。

【図22】本発明をLDD構造CMOSに用いた第7の実施例を示す断面図である。

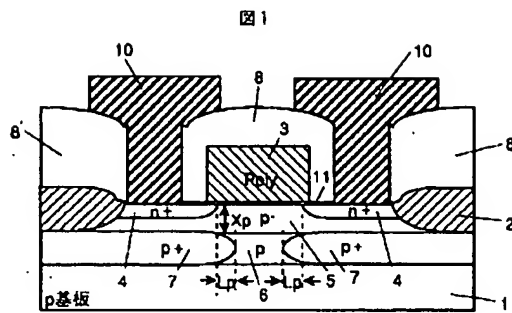
【図23】本発明のトランジスタを低電圧動作のLSIに適用した実施例である。

【図24】本発明のトランジスタをA/D変換器のコンパレータ用差動アンプに適用した実施例である。

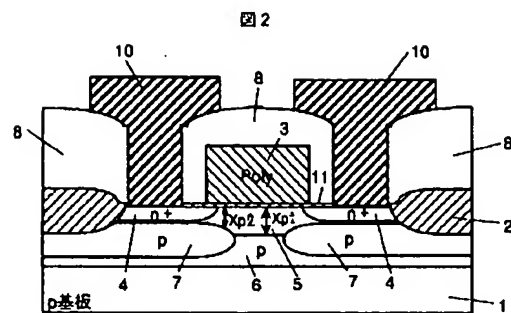
【符号の説明】

1…シリコン基板、2…素子分離絶縁膜、3…ゲート電極、4…ソース、ドレイン、5…半導体表面低濃度層、6…高濃度埋込領域、7…しきい値補償用高濃度埋込層、8…層間絶縁膜、9…ゲートサイドウォール絶縁膜（LDD構造用）、10…アルミ配線層、11…ゲート絶縁膜、12…高濃度層、13…n形ウェル、14…n形低濃度表面領域、15…n形高濃度埋込領域、16…n形しきい値補償用高濃度埋込層、17…p形ソース、ドレイン、18…高濃度チャネルストップ、19…コンタクト穴、20…高濃度埋込領域7を形成するイオン打ち込み時のマスク、21…高濃度埋込領域6を形成するイオン打ち込み時のマスク、22…n形低濃度LDD層、23…p形低濃度LDD層、24…p形ウェル、25…ポリシリコン側壁、26…タングステン、27…出力抵抗増加用高濃度領域、28…埋込絶縁膜層、29…ゲートサイドウォール絶縁膜。

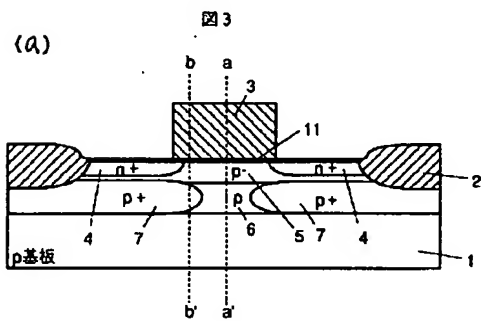
【図1】



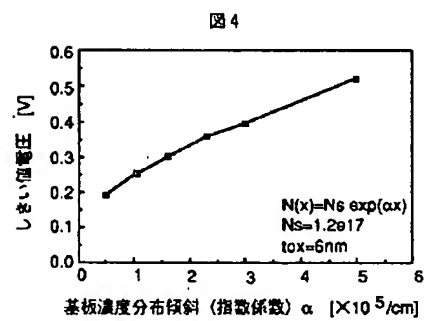
【図2】



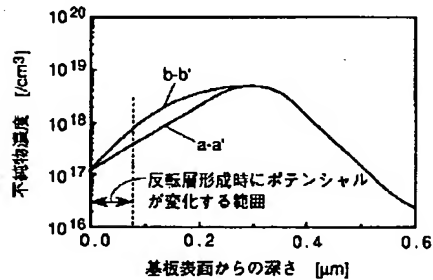
【図3】



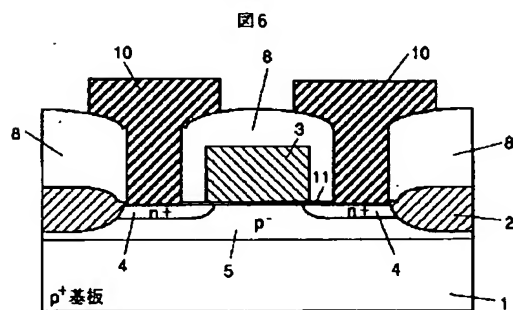
【図4】



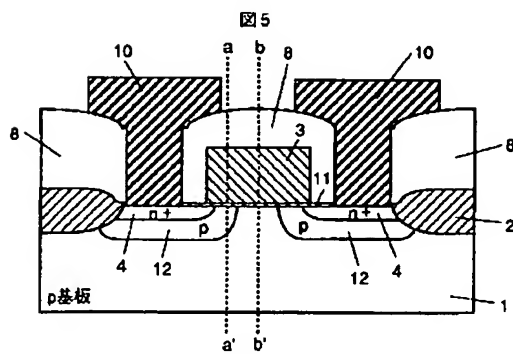
(b)



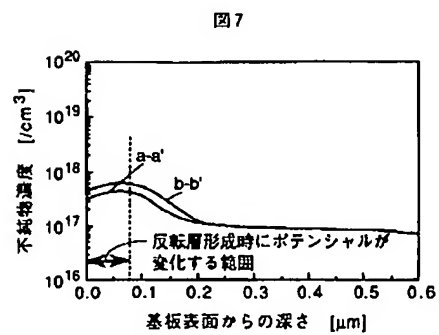
【図6】



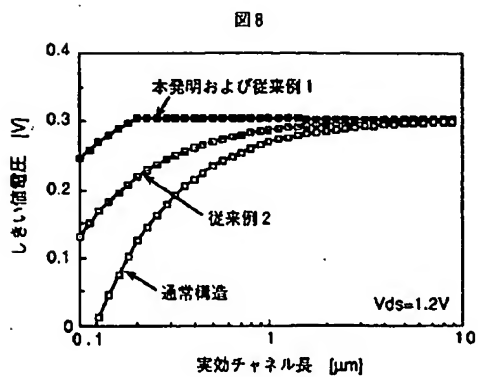
【図5】



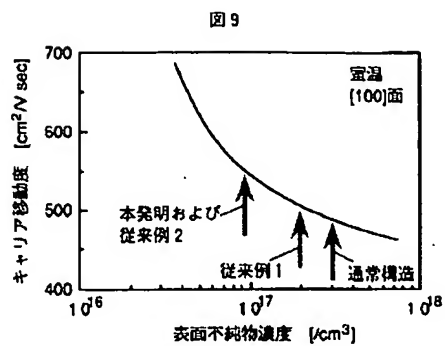
【図7】



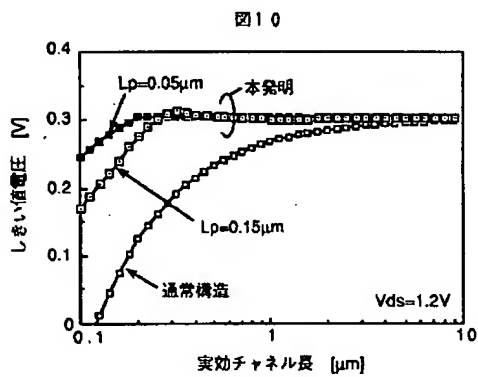
【図8】



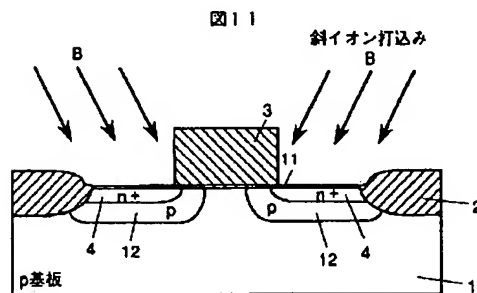
【図9】



【図10】

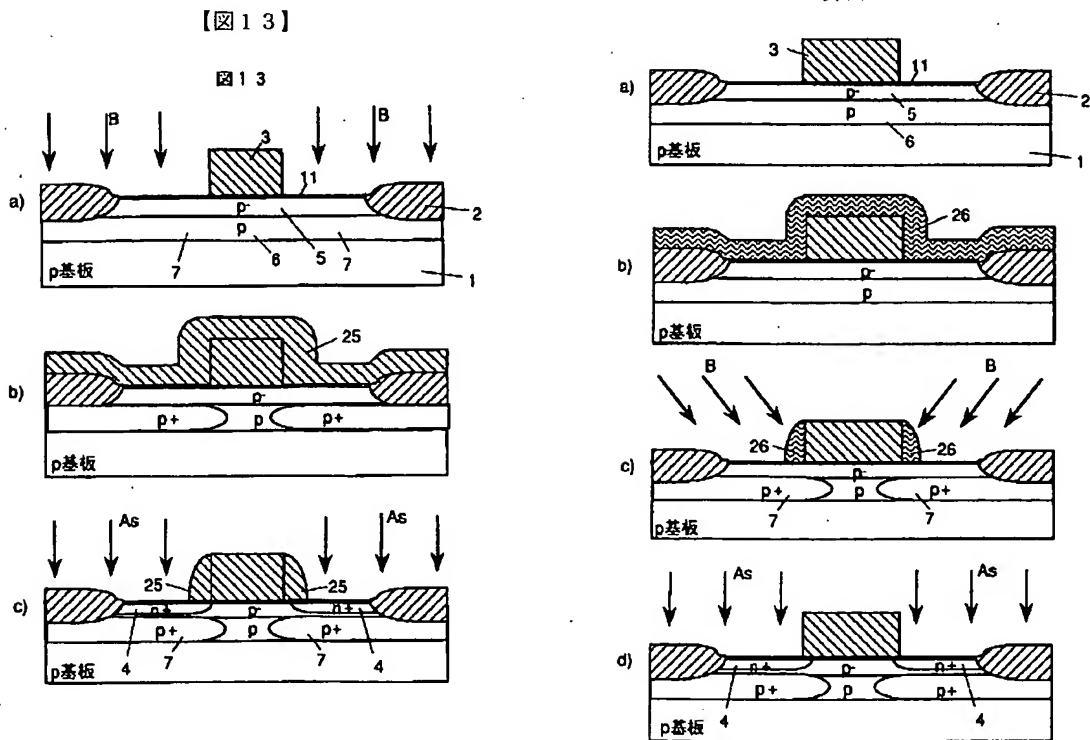


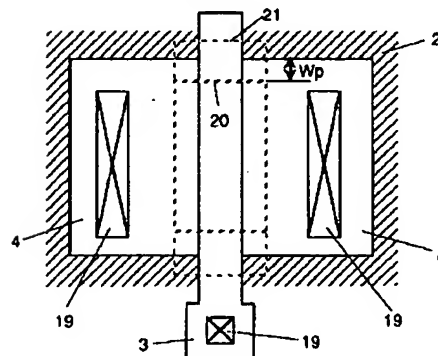
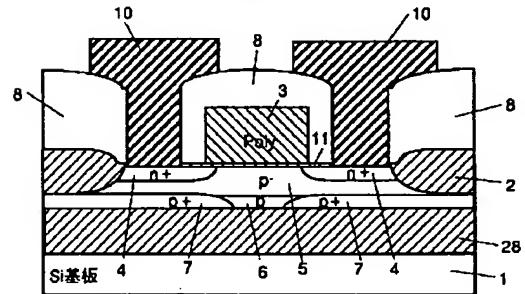
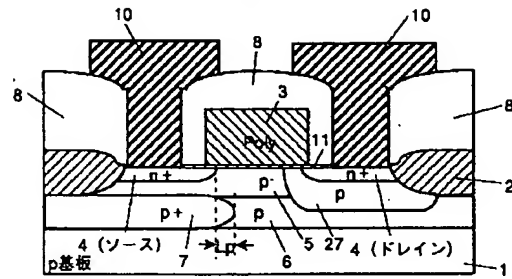
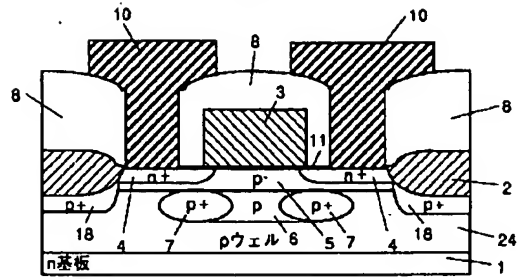
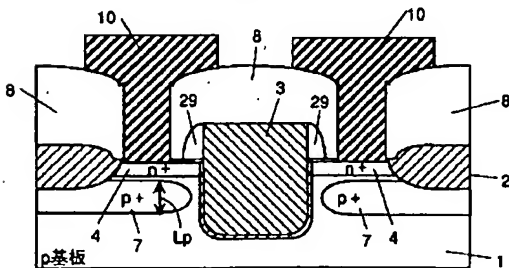
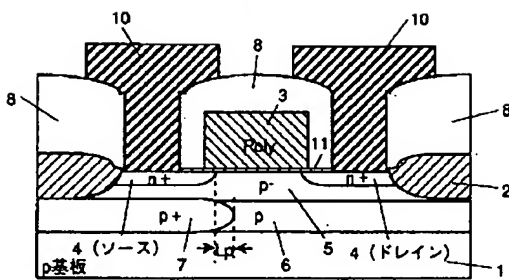
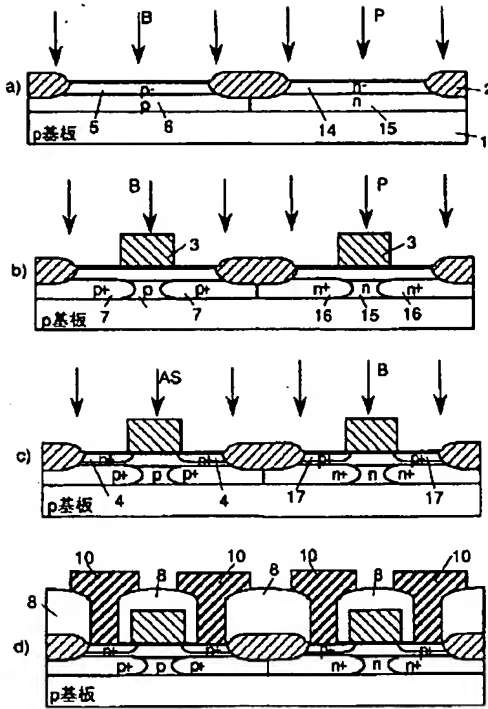
【図11】



【図12】

図12





【图 22】

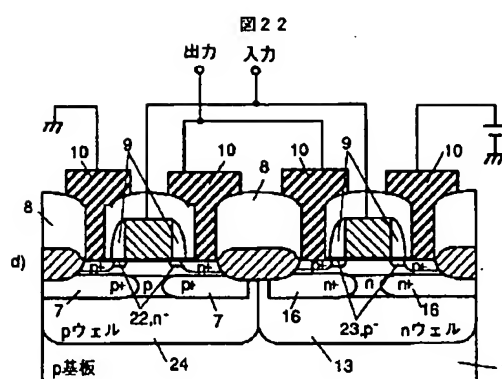


图 23

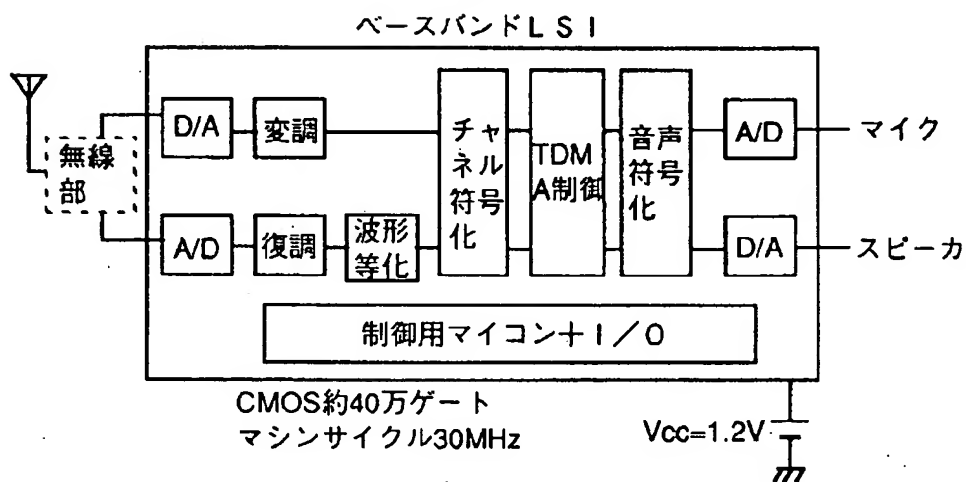
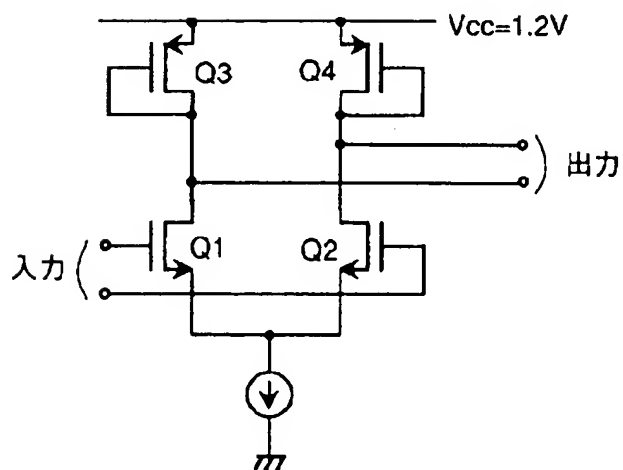


圖 24



フロントページの続き

(72)発明者 関 浩一

東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内